

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07135673 A**

(43) Date of publication of application: **23.05.95**

(51) Int. Cl

**H04Q 3/52**

**H04Q 11/04**

(21) Application number: **05304685**

(71) Applicant: **NEC CORP**

(22) Date of filing: **10.11.93**

(72) Inventor: **YOSHIFUJI HIROTERU**

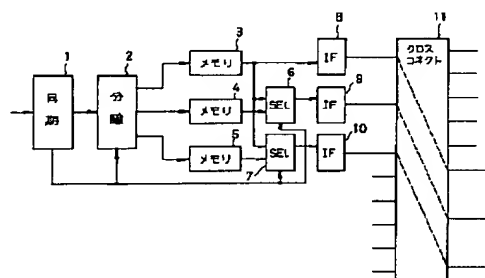
(54) **CROSS CONNECTOR**

(57) Abstract:

PURPOSE: To attain the cross connection of concatenation signal.

CONSTITUTION: A separation circuit 2 applies byte interleave separation to a received concatenation signal into three STS1 signals and they are outputted to elastic memories 3-5. The elastic memory 3 outputs the stored 1st STS1 signal to an interface circuit 8 without modification. The elastic memories 4, 5 output the stored 2nd and 3rd STS1 signals to selection circuits 6, 7. The selection circuits 6, 7 select H1, H2 bytes of the pointer of the 1st STS1 signal at the position of H1\*, H2\* bytes of the pointers of the 2nd and 3rd STS1 signals from the elastic memories 4, 5 and output the selected pointers to interface circuits 9, 10. Interface circuit 8-10 discriminate the STS1 signals from the elastic memory 3 and the selection circuits 6, 7 as to whether or not cross connection is available and output the STS1 signals to a cross connector 11 when available.

COPYRIGHT: (C)1995,JPO



98-0(1770(20083) 特開

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135673

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 Q 3/52	1 0 1 A	9076-5K		
11/04		9076-5K	H 0 4 Q 11/ 04	J

審査請求 有 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平5-304685

(22) 出願日 平成5年(1993)11月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 吉藤 裕輝

東京都港区芝五丁目7番1号 日本電気株式会社内

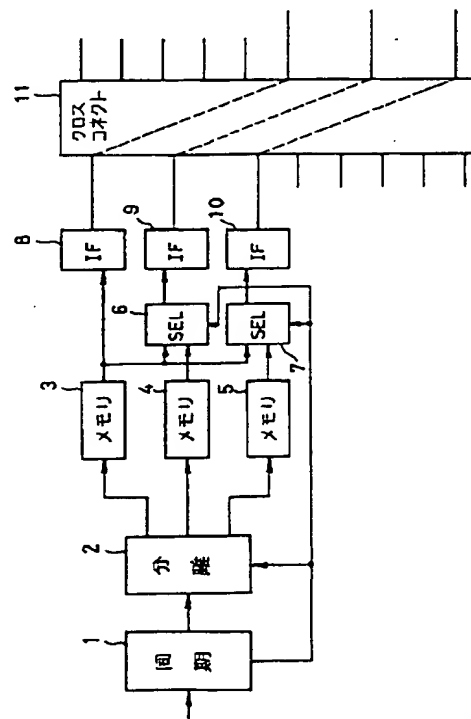
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 クロスコネクト装置

(57) 【要約】

【目的】 コンカチネーション信号のクロスコネクトを可能とする。

【構成】 分離回路2は入力されたコンカチネーション信号を3本のSTS1信号にバイトインタリーブ分離して弾性メモリ3～5に出力する。弾性メモリ3は格納した1番目のSTS1信号をそのままインタフェース回路8に出力する。弾性メモリ4, 5は格納した2番目及び3番目のSTS1信号を選択回路6, 7に出力する。選択回路6, 7は弾性メモリ4, 5からの2番目及び3番目のSTS1信号各々のポイントのH1\*, H2\*バイトの位置で1番目のSTS1信号のポイントのH1, H2バイトを選択してインタフェース回路9, 10に出力する。インタフェース回路8～10は弾性メモリ3及び選択回路6, 7からのSTS1信号各々をクロスコネクト装置11でクロスコネクト可能かを判断し、可能であればそれらSTS1信号各々をクロスコネクト装置11に出力する。



**【特許請求の範囲】**

【請求項1】 所定データ量の第1の伝送データを多重してなる多重データを前記第1の伝送データにバイトインタリーブ分離する分離手段と、前記分離手段でバイトインタリーブ分離された分離データ各々をクロスコネクするクロスコネク手段と、前記クロスコネク手段でクロスコネクされた分離データ各々をバイトインタリーブ多重する多重手段とを含むクロスコネク装置であって、前記多重データと同等のデータ量を一単位とする第2の伝送データの入力時に当該第2の伝送データが前記分離手段でバイトインタリーブ分離された第2番目以降の分離データ各々のデータ格納領域の先頭アドレスを示すポインタ情報を第1番目の分離データのポインタ情報で置換えて前記クロスコネク手段に出力する手段と、前記クロスコネク手段でクロスコネクされた前記第2番目以降の分離データ各々のポインタ情報を予め設定された特定値で置換えて前記多重手段に出力する手段とを有することを特徴とするクロスコネク装置。

【請求項2】 3本のSTS1信号を多重してなるSTS3信号を前記3本のSTS1信号にバイトインタリーブ分離する分離手段と、前記分離手段でバイトインタリーブ分離された前記3本のSTS1信号を前記STS1信号単位にクロスコネクするクロスコネク手段と、前記クロスコネク手段でクロスコネクされた前記3本のSTS1信号をバイトインタリーブ多重する多重手段とを含むクロスコネク装置であって、前記STS3信号と同等のデータ量を一単位とするコンカチネーション信号の入力時にこのコンカチネーション信号を前記分離手段でバイトインタリーブ分離して得た3本のSTS1信号のうち第2番目及び第3番目のSTS1信号各々のデータ格納領域の先頭アドレスを示すH1、H2バイトを第1番目のSTS1信号のH1、H2バイトで置換えて前記クロスコネク手段に出力する手段と、前記クロスコネク手段でクロスコネクされた前記第2番目及び第3番目のSTS1信号各々のH1、H2バイトを予め設定された特定値で置換えて前記多重手段に出力する手段とを有することを特徴とするクロスコネク装置。

【請求項3】 前記H1バイトの特定値が93(HEX)でかつ前記H2バイトの特定値がFF(HEX)であることを特徴とする請求項2記載のクロスコネク装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】 本発明はクロスコネク装置に関し、特に高次群の伝送路網を切替えるクロスコネク装置に関する。

**【0002】**

【従来の技術】 従来、この種のクロスコネク装置においては、図8に示すようなオーバーヘッドのフォーマット

を有するSTS1信号を単位としてクロスコネクを行っている。このSTS1信号はSONET(Synchronous Optical Network)規格の信号である。

【0003】 ここで、上記のSTS1信号のオーバーヘッドは、図8に示すように、セクションオーバーヘッド(Section Overhead)とラインオーバーヘッド(Line Overhead)とからなるトランスポートオーバーヘッド(TRANSPORT OVERHEAD)と、パスオーバーヘッド(PATH OVERHEAD)とからなっている。

【0004】 一方、図9に示すようなオーバーヘッドのフォーマットを有しかつ3本のSTS1信号を多重したSTS3信号をクロスコネクする場合には、このSTS3信号を3本のSTS1信号にバイトインタリーブ分離してから、3本のSTS1信号各々に対してクロスコネクを行っている。

【0005】 ここで、上記のSTS3信号のオーバーヘッドは、図9に示すように、セクションオーバーヘッド(Section Overhead)とラインオーバーヘッド(Line Overhead)とからなるトランスポートオーバーヘッド(TRANSPORT OVERHEAD)で構成されている。

【0006】 すなわち、図6に示すように、入力されたSTS3信号は同期回路1で先頭ビットの検出が行われ、この検出された先頭ビットを基準として分離回路2でバイトインタリーブ分離される。

【0007】 分離回路2でバイトインタリーブ分離された3本のSTS1信号各々は位相差を吸収するための弾性メモリ3～5に格納され、インタフェース回路(IF)8～10を介してクロスコネク装置11に入力される。

【0008】 尚、インタフェース回路8～10では入力されたSTS1信号各々がクロスコネク装置11でクロスコネク可能か否かのチェックも、STS1信号各々のポインタH1、H2バイトを基に行っている。

【0009】 上記の3本のSTS1信号各々はクロスコネク装置11でクロスコネクされた後に、図7に示すように、インタフェース回路(IF)12～14を介して同期回路15～17に出力される。

【0010】 同期回路15～17は3本のSTS1信号各々の先頭ビットの検出を行い、先頭ビットを検出したタイミングをメモリ18～20に渡す。これによって、メモリ18～20には先頭ビットの検出タイミングを基にクロスコネク装置11でクロスコネクされたSTS1信号が夫々格納される。

【0011】 これらメモリ18～20に夫々格納されたSTS1信号は読出し制御回路21の制御によってメモリ18～20から順次読出されて多重回路26でバイトインタリーブ多重される。

【0012】上記のSTS1信号は圧縮された音声データやイメージデータ等の伝送に用いられているが、これら音声データやイメージデータ等は圧縮雑音によってその内容が低下することがある。

【0013】これら音声データやイメージデータ等の内容の低下を防ぐために、上記3本のSTS1信号を多重したSTS3信号と同等のデータ量を一つの単位としてデータ伝送を行う方法が考えられている。

【0014】この方法によるSTS3信号（以下、コンカチネーション信号とする）においては、図3に示すように、上記3本のSTS1信号各々のデータが一つのデータとして扱われることになるので、2番目及び3番目のSTS1信号各々のポインタが上記H1、H2バイトから固定値のH1＊、H2＊バイトに付け替えられている。

【0015】ここで、H1＊バイトは固定値の“10010011”〔以下、93（HEX）とする〕であり、H2＊バイトは固定値の“11111111”〔以下、FF（HEX）とする〕である。

【0016】上記の方法でデータ伝送を行う場合、このコンカチネーション信号は上述した処理動作と同様にして、分離回路2でバイトインタリーブ分離され、夫々弾性メモリ3～5に格納される。

【0017】しかしながら、インタフェース回路9、10では分離回路2でバイトインタリーブ分離された2番目及び3番目のSTS1信号のポインタが固定値のH1＊、H2＊バイトであることから、クロスコネクタできる範囲を越えていると判断する。

【0018】よって、2番目及び3番目のSTS1信号はクロスコネクタ装置11でクロスコネクタすることができない。

【0019】

【発明が解決しようとする課題】上述した従来のクロスコネクタ装置では、3本のSTS1信号各々のデータを一つのデータとして扱うコンカチネーション信号の場合、クロスコネクタ装置の前段のインタフェース回路において、分離回路でバイトインタリーブ分離された2番目及び3番目のSTS1信号のポインタがクロスコネクタできる範囲を越えていると判断されてしまうので、クロスコネクタすることができない。よって、上記のコンカチネーション信号の伝送を行うことができない。

【0020】そこで、本発明の目的は上記の問題点を解消し、コンカチネーション信号のクロスコネクタを可能とし、当該コンカチネーション信号の伝送を可能とすることができるクロスコネクタ装置を提供することにある。

【0021】

【課題を解決するための手段】本発明によるクロスコネクタ装置は、所定データ量の第1の伝送データを多重してなる多重データを前記第1の伝送データにバイトイン

タリーブ分離する分離手段と、前記分離手段でバイトインタリーブ分離された分離データ各々をクロスコネクタするクロスコネクタ手段と、前記クロスコネクタ手段でクロスコネクタされた分離データ各々をバイトインタリーブ多重する多重手段とを含むクロスコネクタ装置であって、前記多重データと同等のデータ量を一単位とする第2の伝送データの入力時に当該第2の伝送データが前記分離手段でバイトインタリーブ分離された第2番目以降の分離データ各々のデータ格納領域の先頭アドレスを示すポインタ情報を第1番目の分離データのポインタ情報で置換えて前記クロスコネクタ手段に出力する手段と、前記クロスコネクタ手段でクロスコネクタされた前記第2番目以降の分離データ各々のポインタ情報を予め設定された特定値で置換えて前記多重手段に出力する手段とを備えている。

【0022】

【実施例】次に、本発明の一実施例について図面を参照して説明する。

【0023】図1及び図2は本発明の一実施例の構成を示すブロック図である。図1は本発明の一実施例によるクロスコネクタ装置の分離装置側の構成を示し、図2は本発明の一実施例によるクロスコネクタ装置の多重装置側の構成を示している。

【0024】図1において、同期回路1は入力されたコンカチネーション信号の先頭ビットの検出を行い、その検出結果を分離回路2及び選択回路（SEL）6、7に出力する。

【0025】分離回路2は同期回路1で検出された先頭ビットを基準としてコンカチネーション信号を3本のSTS1信号にバイトインタリーブ分離し、1番目のSTS1信号を弾性メモリ3に、2番目のSTS1信号を弾性メモリ4に、3番目のSTS1信号を弾性メモリ5に夫々出力する。

【0026】ここで、弾性メモリ3～5は分離回路2でバイトインタリーブ分離された3本のSTS1信号各々の位相差を吸収するためのものである。弾性メモリ3に格納された1番目のSTS1信号はそのままインタフェース回路（IF）8に出力される。

【0027】一方、弾性メモリ4、5に夫々格納された2番目及び3番目のSTS1信号は選択回路6、7に出力される。選択回路6、7では弾性メモリ4、5に夫々格納された2番目及び3番目のSTS1信号と弾性メモリ3に格納された1番目のSTS1信号とのうち一方を選択してインタフェース回路9、10に出力する。

【0028】この場合、選択回路6、7では同期回路1で検出された先頭ビットを基準として2番目及び3番目のSTS1信号各々のポインタのH1＊、H2＊バイトの位置を見付け、これらH1＊、H2＊バイトの位置で1番目のSTS1信号のポインタのH1、H2バイトを選択してインタフェース回路9、10に出力する。

【0029】尚、H1<sup>\*</sup>バイトは固定値の“10010011” [以下、93 (HEX) とする] であり、H2<sup>\*</sup>バイトは固定値の“11111111” [以下、FF (HEX) とする] である。

【0030】選択回路6, 7では上記以外の位置では弾性メモリ4, 5に格納された2番目及び3番目のSTS1信号をそのまま選択してインタフェース回路9, 10に出力する。

【0031】したがって、インタフェース回路8~10では弾性メモリ3及び選択回路6, 7からのSTS1信号各々をクロスコネクタ装置11でクロスコネクタ可能と判断するので、これらのSTS1信号各々はクロスコネクタ装置11でクロスコネクタされる。

【0032】図2において、インタフェース回路 (IF) 12~14はクロスコネクタ装置11でクロスコネクタされたSTS1信号各々を同期回路15~17に出力する。同期回路15~17はSTS1信号各々の先頭ビットの検出を行い、先頭ビットを検出したタイミングをメモリ18~20に渡す。

【0033】メモリ18~20は同期回路15~17からの先頭ビットの検出タイミングを基に、クロスコネクタ装置11でクロスコネクタされたSTS1信号を夫々格納する。尚、メモリ18~20はクロスコネクタ装置11でクロスコネクタされた3本のSTS1信号各々の位相の同期をとるためのものである。

【0034】読出し制御回路21はメモリ18~20及び選択回路 (SEL) 24, 25に夫々読出し制御信号を出力し、メモリ18~20に夫々格納されたSTS1信号の読出しと選択回路24, 25の選択動作とを制御する。

【0035】この場合、選択回路24, 25では読出し制御回路21からの読出し制御信号によって2番目及び3番目のSTS1信号のポインタのH1バイトの位置でレジスタ22の93 (HEX) を選択し、2番目及び3番目のSTS1信号のポインタのH2バイトの位置でレジスタ23のFF (HEX) を選択して多重回路26に出力する。

【0036】選択回路24, 25では上記以外の位置ではメモリ19, 20に格納された2番目及び3番目のSTS1信号をそのまま選択して多重回路26に出力する。よって、多重回路26はメモリ18からの1番目のSTS1信号と、選択回路24, 25からのポインタのH1バイトが93 (HEX) に、ポインタのH2バイトがFF (HEX) に夫々付け替えられ2番目及び3番目のSTS1信号とをバイトインターリーブ多重する。

【0037】図3は本発明の一実施例でクロスコネクタするコンカチネーション信号のオーバーヘッドのフォーマットを示す図である。図において、コンカチネーション信号のオーバーヘッドはセクションオーバーヘッド (Section Overhead) とラインオーバーヘッド

(Line Overhead) とからなるトランスポートオーバーヘッド (TRANSPORT OVERHEAD) で構成されている。

【0038】ここで、1番目のSTS1信号に対応するH1, H2バイトは1番目のSTS1信号のデータ部のポインタであり、2番目及び3番目のSTS1信号各々に対応するH1<sup>\*</sup>, H2<sup>\*</sup>バイトは2番目及び3番目のSTS1信号各々のデータ部のポインタである。

【0039】しかしながら、コンカチネーション信号では2番目及び3番目のSTS1信号各々のデータ部が1番目のSTS1信号のデータ部に連続しているため、それらのポインタであるH1<sup>\*</sup>, H2<sup>\*</sup>バイトは固定値の93 (HEX) 及びFF (HEX) となっている。

【0040】図4は図1の分離回路2で分離されたSTS1信号のフォーマットを示す図である。図4 (a) は分離回路2で分離された1番目のSTS1信号のフォーマットを示し、図4 (b) は分離回路2で分離された2番目のSTS1信号のフォーマットを示し、図4 (c) は分離回路2で分離された3番目のSTS1信号のフォーマットを示している。

【0041】図5は図1のクロスコネクタ装置11に入力される2番目及び3番目のSTS1信号のフォーマットを示す図である。図において、2番目及び3番目のSTS1信号は各々のポインタのH1<sup>\*</sup>, H2<sup>\*</sup>バイトが1番目のSTS1信号のポインタのH1, H2バイトに選択回路6, 7で置換えられている。

【0042】すなわち、図4 (b) に示す2番目のSTS1信号の場合、H1<sup>\*</sup>, H2<sup>\*</sup>バイトが1番目のSTS1信号のポインタのH1, H2バイトに置換えられ、図5に示すようなフォーマットとなる。

【0043】また、図4 (c) に示す3番目のSTS1信号の場合も、H1<sup>\*</sup>, H2<sup>\*</sup>バイトが1番目のSTS1信号のポインタのH1, H2バイトに置換えられ、図5に示すようなフォーマットとなる。

【0044】これら図1~図5を用いて本発明の一実施例の動作について説明する。まず、コンカチネーション信号が同期回路1に入力されると、同期回路1はその先頭ビットの検出を行い、その検出結果を分離回路2及び選択回路6, 7に出力する。

【0045】分離回路2は同期回路1で検出された先頭ビットを基準としてコンカチネーション信号を3本のSTS1信号にバイトインターリーブ分離し、1番目のSTS1信号を弾性メモリ3に、2番目のSTS1信号を弾性メモリ4に、3番目のSTS1信号を弾性メモリ5に夫々出力する。

【0046】弾性メモリ3に格納された1番目のSTS1信号はそのままインタフェース回路8に出力されるが、弾性メモリ4, 5に夫々格納された2番目及び3番目のSTS1信号は選択回路6, 7に出力される。

【0047】選択回路6, 7では弾性メモリ4, 5に夫

々格納された2番目及び3番目のSTS1信号と弾性メモリ3に格納された1番目のSTS1信号とのうち一方を選択してインタフェース回路9, 10に出力する。

【0048】この場合、選択回路6, 7では同期回路1で検出された先頭ビットを基準として2番目及び3番目のSTS1信号各々のポインタのH1\*, H2\*バイトの位置を見付け、これらH1\*, H2\*バイトの位置で1番目のSTS1信号のポインタのH1, H2バイトを選択してインタフェース回路9, 10に出力する。

【0049】よって、図4(b), (c)に示す2番目及び3番目のSTS1信号のH1\*, H2\*バイトは1番目のSTS1信号のポインタのH1, H2バイトに置換えられるので、そのフォーマットは図5に示すようなフォーマットとなる。

【0050】選択回路6, 7では上記以外の位置では弾性メモリ4, 5に格納された2番目及び3番目のSTS1信号をそのまま選択してインタフェース回路9, 10に出力する。

【0051】したがって、インタフェース回路8~10では弾性メモリ3及び選択回路6, 7からのSTS1信号各々をクロスコネクタ装置11でクロスコネクタ可能と判断するので、これらのSTS1信号各々はクロスコネクタ装置11でクロスコネクタされる。

【0052】クロスコネクタ装置11でクロスコネクタされたSTS1信号各々はインタフェース回路12~14を介して同期回路15~17に出力される。同期回路15~17はSTS1信号各々の先頭ビットの検出を行い、先頭ビットを検出したタイミングをメモリ18~20に渡す。

【0053】メモリ18~20は同期回路15~17からの先頭ビットの検出タイミングを基に、クロスコネクタ装置11でクロスコネクタされたSTS1信号を夫々格納する。

【0054】読出し制御回路21はメモリ18~20及び選択回路24, 25に夫々読出し制御信号を出力し、メモリ18~20に夫々格納されたSTS1信号の読出しと選択回路24, 25の選択動作とを制御する。

【0055】この場合、選択回路24, 25では読出し制御回路21からの読出し制御信号によって2番目及び3番目のSTS1信号のポインタのH1バイトの位置でレジスタ22の93(HEX)を選択し、2番目及び3番目のSTS1信号のポインタのH2バイトの位置でレジスタ23のFF(HEX)を選択して多重回路26に出力する。

【0056】よって、図5に示すようなフォーマットに置換えられてクロスコネクタ装置11でクロスコネクタされた2番目及び3番目のSTS1信号のH1, H2バイトはH1\*, H2\*バイトに置換えられ、図4

(b), (c)に示すようなフォーマットに戻る。

【0057】一方、選択回路24, 25では上記以外の

位置ではメモリ19, 20に格納された2番目及び3番目のSTS1信号をそのまま選択して多重回路26に出力する。

【0058】したがって、多重回路26はメモリ18からの1番目のSTS1信号と、選択回路24, 25からのポインタのH1バイトが93(HEX)に、ポインタのH2バイトがFF(HEX)に夫々付け替えられ2番目及び3番目のSTS1信号とをバイトインタリーブ多重する。

【0059】このように、分離回路2で3本のSTS1信号にバイトインタリーブ分離された信号のうち2番目及び3番目のSTS1信号のH1\*, H2\*バイトを選択回路6, 7で1番目のSTS1信号のH1, H2バイトに置換えてからクロスコネクタ装置11でクロスコネクタし、クロスコネクタされた2番目及び3番目のSTS1信号各々のH1, H2バイトを選択回路24, 25で予め設定されたH1\*, H2\*バイトに置換えてから多重回路26でバイトインタリーブ多重することによって、3本のSTS1信号を多重したSTS3信号と同等のデータ量を一単位とするコンカチネーション信号のクロスコネクタが可能となり、当該コンカチネーション信号の伝送を可能とすることができる。

【0060】尚、本発明の一実施例ではロジックの信号であるSTS1信号及びSTS3信号について述べたが、これらSTS1信号及びSTS3信号に対応する物理的な信号であるOC1信号及びOC3信号についても光信号から電気信号への変換あるいは電気信号から光信号への変換を行うことで同様に扱うことができるのは明白であり、これに限定されない。

【0061】

【発明の効果】以上説明したように本発明によれば、所定データ量の第1の伝送データを多重してなる多重データと同等のデータ量を一単位とする第2の伝送データの入力時に、当該第2の伝送データをバイトインタリーブ分離した第2番目以降の分離データ各々のデータ格納領域の先頭アドレスを示すポインタ情報を第1番目の分離データのポインタ情報で置換えてからクロスコネクタし、クロスコネクタされた第2番目以降の分離データ各々のポインタ情報を予め設定された特定値で置換えてからバイトインタリーブ多重することによって、上記第2の伝送データであるコンカチネーション信号のクロスコネクタを可能とし、当該コンカチネーション信号の伝送を可能とすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例によるクロスコネクタ装置の分離装置側の構成を示すブロック図である。

【図2】本発明の一実施例によるクロスコネクタ装置の多重装置側の構成を示すブロック図である。

【図3】本発明の一実施例でクロスコネクタするコンカチネーション信号のオーバーヘッドのフォーマットを示す

図である。

【図 4】 (a) は図 1 の分離回路で分離された 1 番目の STS 1 信号のフォーマットを示す図、 (b) は図 1 の分離回路で分離された 2 番目の STS 1 信号のフォーマットを示す図、 (c) は図 1 の分離回路で分離された 3 番目の STS 1 信号のフォーマットを示す図である。

【図 5】 図 1 のクロスコネクタ装置に入力される 2 番目及び 3 番目の STS 1 信号のフォーマットを示す図である。

【図 6】 従来例のクロスコネクタ装置の分離装置側の構成を示すブロック図である。

【図 7】 従来例のクロスコネクタ装置の多重装置側の構成を示すブロック図である。

【図 8】 従来例の STS 1 信号のオーバーヘッドのフォー

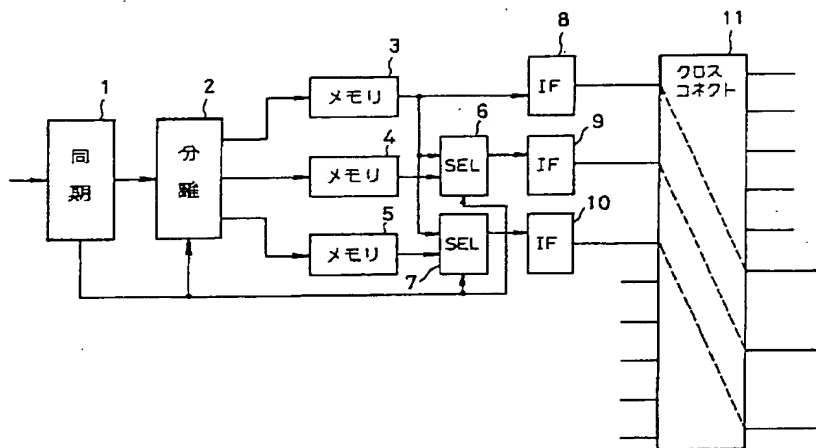
マットを示す図である。

【図 9】 従来例の STS 3 信号のオーバーヘッドのフォーマットを示す図である。

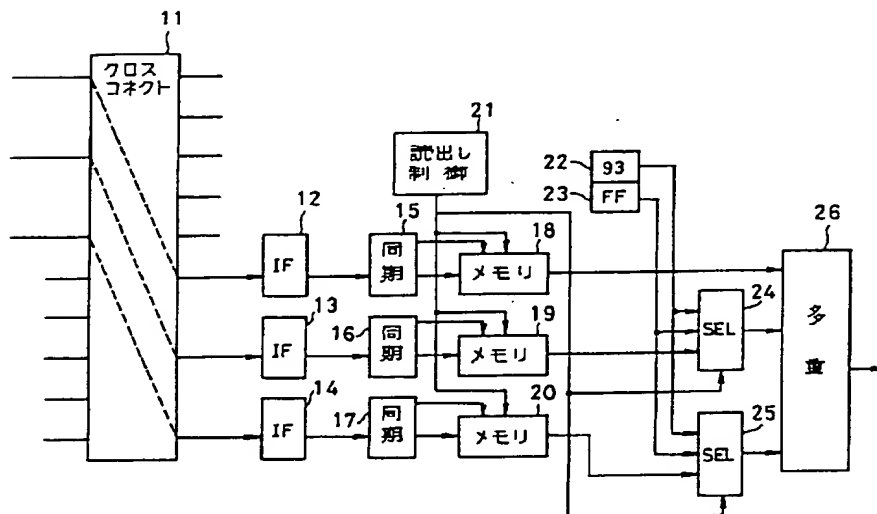
【符号の説明】

- 1, 15~17 同期回路
- 2 分離回路
- 3~5 弾性メモリ
- 6, 7, 24, 25 選択回路
- 8~10, 12~14 インタフェース回路
- 11 クロスコネクタ装置
- 18~20 メモリ
- 21 読出し制御回路
- 22, 23 レジスタ
- 26 多重回路

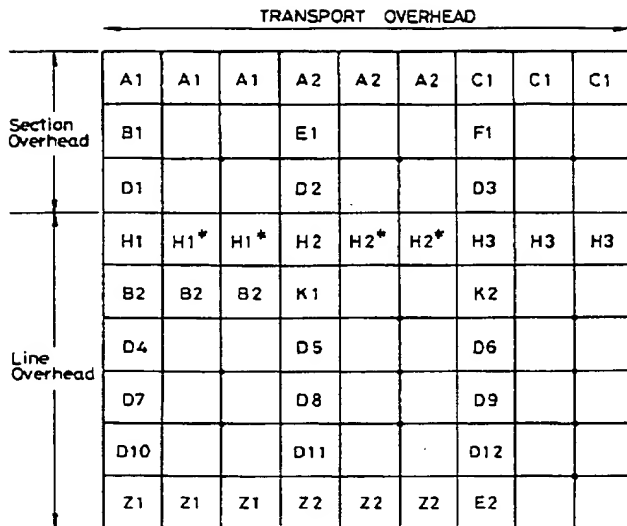
【図 1】



【図 2】



【図 3】



【図 4】

(a)

A 1	A 2	C 1
B 1	E 1	F 1
D 1	D 2	D 3
H 1	H 2	H 3
B 2	K 1	K 2
D 4	D 5	D 6
D 7	D 8	D 9
D 10	D 11	D 12
Z 1	Z 2	E 2

(b)

A 1	A 2	C 1
H 1*	H 2*	H 3
B 2		
Z 1	Z 2	

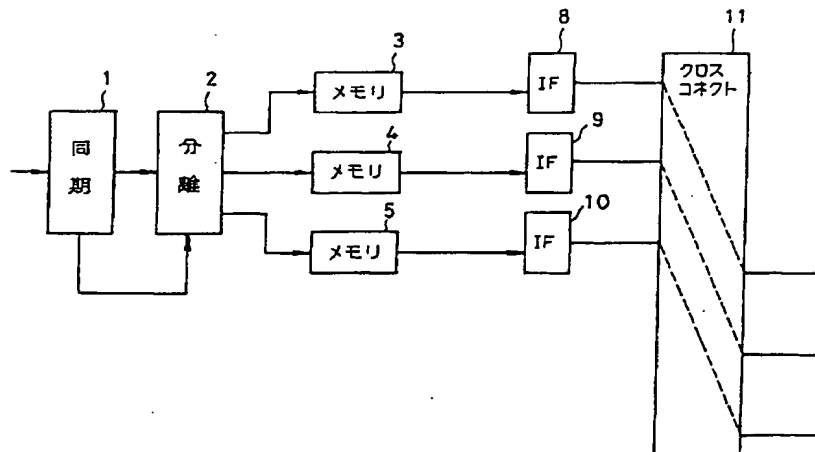
(c)

A 1	A 2	C 1
H 1*	H 2*	H 3
B 2		
Z 1	Z 2	

【図 5】

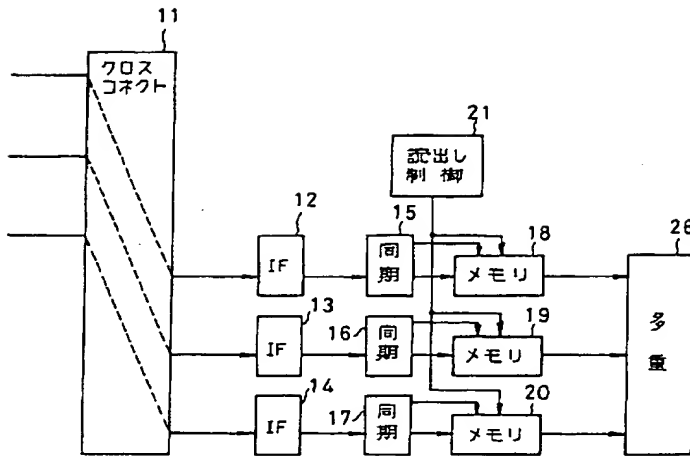
A 1	A 2	C 1
H 1	H 2	H 3
B 2		
Z 1	Z 2	

【図 6】





【図 7】



【図 8】

TRANSPORT OVERHEAD			PATH OVERHEAD
Section Overhead	Framing A1	Framing A2	STS-1 ID C1
	BIP-8 B1	Orderwire E1	User F1
	Data Com D1	Data Com D2	Data Com D3
Line Overhead	Pointer H1	Pointer H2	Pointer Action H3
	BIP-8 B2	APS K1	APS K2
	Data Com D4	Data Com D5	Data Com D6
	Data Com D7	Data Com D8	Data Com D9
	Data Com D10	Data Com D11	Data Com D12
	Growth Z1	Growth / FEBC Z2	Orderwire E2
			Trace J1
			BIP-8 B3
			Signal Label C2
			Path Status G1
			User Channel F2
			Indicator H4
			Growth / OODB Z3
			Growth Z4
			Growth Z5

【図 9】

TRANSPORT OVERHEAD									
Section Overhead	A1	A1	A1	A2	A2	A2	C1	C1	C1
	B1			E1			F1		
	D1			D2			D3		
Line Overhead	H1	H1	H1	H2	H2	H2	H3	H3	H3
	B2	B2	B2	K1			K2		
	D4			D5			D6		
	D7			D8			D9		
	D10			D11			D12		
	Z1	Z1	Z1	Z2	Z2	Z2	E2		